实验报告

新疆大学

信息科学与工程学院

**课程名称**： 数字电路实验 **班级**： 计算机科学与技术20-1

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **姓名** | **实验名称** | **日期** | **地点** | **成绩** |
| **刘宇诺** | **计数器的设计与实现** | **12.13** | **信息技术综合实验楼A502** |  |

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 一 | 二 | 三 | 四 | 五 | 六 | 总分 |
|  |  |  |  |  |  |  |

1. 实验目的（5分）

|  |
| --- |
| 1、了解计数器的工作原理；  2、掌握计数器的设计方法。 |

1. 设备仪器/软件环境（5分）

|  |
| --- |
| 计算机 quartus软件 |

1. 实验原理（30分）

|  |
| --- |
| 1、基本原理  计数器的逻辑功能是用来记忆时钟脉冲的具体个数，可用于对时钟脉冲进行 计数，还可用于时钟分频、信号定时、地址发生器和数字运算等。按照计数器的 计数方向可分为加法计数器和减法计数器，按照计数器中各个触发器是否同步分 为同步计数器和异步计数器。  在用 VHDL 语言描述一个计数器时，如果使用了程序包 ieee.std\_logic\_unsigned，则在描述计数器时就可以使用其中的函数 “＋”（递增计数）和 “－”（递减计数）。假定设计对象是增 1 计数器并且计数器被说明为向量，则当所有位均为‘1’ 时，计数器的下一状态将自动变成 ‘0’。举例来说，假定计 数器的值到达 “111” 时将停止，则在增 1 之前必须测试计数器的值。 如果计数器被说明为整数类型，则必须有上限值测试。否则，在计数顺值等于限值并且要执行增 1 操作时，仿真器将指出此时有错误发生。  2、以同步 4 位二进制计数器为参考例程  构成同步计数器的各个触发器的状态只在同一时钟信号的触发下发生变化， 同步 4 位二进制计数器的状态表见下表。    library ieee;  use ieee.std\_logic\_1164.all;  use ieee.std\_logic\_unsigned.all;  entity cnt16 is  Port  (  clk, r,s,en : in std\_logic; ------时钟信号、清零端、置数端、使能端  d:in std\_logic\_vector(3 downto 0); ------预置数据端  co:out std\_logic;------进位信号  q:buffer std\_logic\_vector(3 downto 0) ------计数输出端  );  end;  architecture one of cnt16 is  begin  process(clk,r)  begin  if r=’1’ then ------清零  q <=(others=>’0’);  elsif clk’event and clk=’1’ then  if s=’1’ then  q<=d;  elsif en=’1’ then  q <=q+1;  else  q <= q;  end if;  end if;  end process;  co<=’1’ when q=”1111” and en=’1’ else ‘0’;  end; |

1. 实验内容与步骤（20分）

|  |
| --- |
| 1、设计并实现 10 进制计数器；  2、设计并实现 4 位二进制计数器；  3、了解掌握加法计数器、减法计数器的原理。  1）根据四位二进制的状态表，设计并编程异步清零四位二进制计数器，并进行编译；  如图编译通过。    ２）对输入输出设置好针脚    ３）进行波形图设计，然后进行仿真，ｃｌｋ表示时钟信号设计的为上升缘起作用，ｄ为预置数，ｒ为置零，ｓ为置数，ｑ为输出值，ｃｏ为进位。     1. 设计异步清零十进制计数器，并进行编程，编译；　如图编译通过。   图形用户界面, 文本, 应用程序, 电子邮件  描述已自动生成  ５）进行输入输出的针脚设计。  图形用户界面, 表格  描述已自动生成  ６）设计波形图，并进行仿真；ｃｌｋ为时钟信号，ｄ为预置数值，ｒｅｓｅｔ为置零，ｌｏａｄ为置数，ｅｎ为进制可以运作的信号，ｑ为输出信号，ｃｏ为进位信号。  图片包含 日程表  描述已自动生成 |

1. 实验结果与分析（30分）

|  |
| --- |
| 异步清零四位二进制计数器波形图：    ｒ为清零信号，是异步清零，所以和时钟信号无关，框的１号表示清零，对应的输出全为零  ｄ为预置数，第一段为８，第二段为５；  ｓ为置数信号，框的２号对应的输出置为了８，框的３号对应的输出置为了５；  四位二进制计数器，逢１５进一，框的４号，到了Ｆ进位信号变为了１，表示进位；  异步清零十进制计数器波形图：  图片包含 日程表  描述已自动生成  Reset为清零信号，为1时，会清零，因为时异步清零所以和时钟信号无关。如图当reset为1时，对应的输出信号都变为了零。  Load为置数信号，d为置数值，第一段为有置数的为8，第二段有置数的为9，在第一段中当load为1时输出被置为了8，在第二段中，load为1时，输出被置为了9；  q为输出端；  Co为进位信号，十进制计数器，逢9进1，当输出端为9时，进位信号为1，如图符合逻辑。 |

1. 总结实验注意事项（10分）

|  |
| --- |
| 思考题：   1. 计数器的分类都有哪些？   同步计数器、异步计数器  二进制计数器、十进制计数器、其他进制计数器  加法计数器、减法计数器、可逆计数器  2)10 进制计数器和 4 位二进制计数器主要区别是  什么？  十进制计数器是逢9进一，四位二进制计数器是逢15进一   1. 同步清零和异步清零的区别是什么？   同步清零，清零信号会受时钟信号的控制；而异步清零与时钟信号无关，不管时钟信号是上升缘还是下降缘，输出信号都会被清零。  注意事项：   1. 在编写代码时要时刻保存，防止软件宕机，造成内容丢失 2. 在编写代码时，脑中要有相应计数器的完整构图，知道要完成那些功能 3. 对十进制计数器进行仿真测试时，要把输出端设置成16进制，设置成十进制的会出问题，因为使用的时二进制的数组进行编程的。 |